

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-349650

(43)Date of publication of application : 09.12.2004

(51)Int.Cl.

H01L 21/8247

H01L 27/115

H01L 29/788

H01L 29/792

(21)Application number : 2003-148132

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 26.05.2003

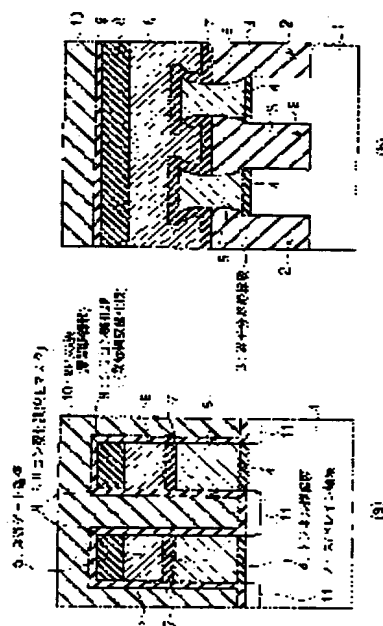
(72)Inventor : OZAWA YOSHIO

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To realize a nonvolatile memory cell wherein suppressing an increase of a floating capacitor between floating gate electrodes accompanying microfabrication.

**SOLUTION:** The nonvolatile memory cell is provided with a tunnel insulating film 4, a floating gate electrode 5, a controlling gate electrode 6 and an insulating film 7 between electrodes. In the direction of a channel width of the nonvolatile memory cell, a width of the floating gate electrode 5 varies in the height direction of the nonvolatile memory cell, and the width of the floating gate electrode 5 is minimum between a region upper than a bottom face of the floating gate electrode 5 and a region lower than a top face of the floating gate electrode 5.



## LEGAL STATUS

[Date of request for examination]

26.05.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-349650

(P2004-349650A)

(43) 公開日 平成16年12月9日(2004.12.9)

(51) Int. Cl.<sup>7</sup>

H01L 21/8247  
H01L 27/115  
H01L 29/788  
H01L 29/792

F1

H01L 29/78 371  
H01L 27/10 434

テーマコード(参考)

5F083  
5F101

審査請求 有 請求項の数 14 O L (全 26 頁)

(21) 出願番号 特願2003-148132(P2003-148132)  
(22) 出願日 平成15年5月26日(2003.5.26)

(71) 出願人 000003078  
株式会社東芝  
東京都港区芝浦一丁目1番1号  
(74) 代理人 100058479  
弁理士 鈴江 武彦  
(74) 代理人 100091351  
弁理士 河野 哲  
(74) 代理人 100088683  
弁理士 中村 誠  
(74) 代理人 100108855  
弁理士 蔵田 昌俊  
(74) 代理人 100084618  
弁理士 村松 貞男  
(74) 代理人 100092196  
弁理士 橋本 良郎

最終頁に続く

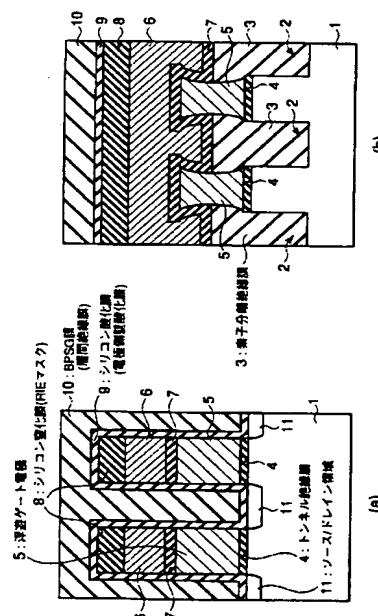
(54) 【発明の名称】 半導体装置およびその製造方法

## (57) 【要約】

【課題】微細化に伴う浮遊ゲート電極間の浮遊容量の増加を抑制できる不揮発性メモリセルをを実現すること。

【解決手段】不揮発性メモリセルは、トンネル絶縁膜4、浮遊ゲート電極5、制御ゲート電極6および電極間絶縁膜7を備え、不揮発性メモリセルのチャネル幅方向において、浮遊ゲート電極5の幅が、不揮発性メモリセルの高さ方向に変化し、かつ、浮遊ゲート電極5の底面よりも上の領域と浮遊ゲート電極5の上面よりも下の領域との間で、最小となっている。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

半導体基板と、  
前記半導体基板上に設けられた不揮発性メモリセルと  
を具備してなる半導体装置であって、  
前記不揮発性メモリセルは、  
前記半導体基板上に設けられたトンネル絶縁膜と、  
前記トンネル絶縁膜上に設けられた浮遊ゲート電極と、  
前記浮遊ゲート電極の上方に設けられた制御ゲート電極と、  
前記制御ゲート電極と前記浮遊ゲート電極との間に設けられた電極間絶縁膜と  
を備え、  
前記不揮発性メモリセルのチャンネル幅方向またはチャンネル長方向において、前記浮遊ゲート電極の幅は、前記不揮発性メモリセルの高さ方向に変化し、かつ、前記浮遊ゲート電極の底面よりも上の領域と前記浮遊ゲート電極の上面よりも下の領域との間で、最小となっていることを特徴とする半導体装置。

10

## 【請求項 2】

前記浮遊ゲート電極の底面よりも上の領域と前記浮遊ゲート電極の上面よりも下の領域との間のほぼ中間位置で、前記浮遊ゲート電極の幅は最小となっていることを特徴とする請求項 1 に記載の半導体装置。

## 【請求項 3】

前記浮遊ゲート電極の幅が最小となる位置から前記浮遊ゲート電極の上面および下面に向かって、それぞれ、前記浮遊ゲート電極の幅が増加することを特徴とする請求項 1 または 2 に記載の半導体装置。

20

## 【請求項 4】

前記浮遊ゲート電極の幅は、非線形に増加することを特徴とする請求項 3 に記載の半導体装置。

## 【請求項 5】

前記浮遊ゲート電極の上面および側面のうち、前記浮遊ゲート電極の上面が前記電極間絶縁膜で覆われていることを特徴とする請求項 1 ないし 4 のいずれか 1 項に記載の半導体装置。

30

## 【請求項 6】

半導体基板と、  
前記半導体基板上に設けられた不揮発性メモリセルと  
を具備してなる半導体装置であって、  
前記不揮発性メモリセルは、  
前記半導体基板上に設けられたトンネル絶縁膜と、  
前記トンネル絶縁膜上に設けられた浮遊ゲート電極と、  
前記浮遊ゲート電極の上方に設けられた制御ゲート電極と、  
前記制御ゲート電極と前記浮遊ゲート電極との間に設けられた電極間絶縁膜と  
を備え、  
前記電極間絶縁膜は、第 1 の誘電体領域および該第 1 の誘電体領域よりも誘電率が低い第 2 の誘電体領域を含み、前記第 2 の誘電体領域は、前記不揮発性メモリセルのチャンネル長方向の前記第 1 の誘電体領域の端部に設けられていることを特徴とする半導体装置。

40

## 【請求項 7】

前記浮遊ゲート電極と対向する部分の前記トンネル絶縁膜の面積は、前記浮遊ゲート電極と対向する部分の前記電極間絶縁膜の面積よりも小さいことを特徴とする請求項 1 ないし 6 のいずれか 1 項に記載の半導体装置。

## 【請求項 8】

半導体基板と、  
前記半導体基板上に設けられた不揮発性メモリセルと

50

を具備してなる半導体装置であって、  
前記不揮発性メモリセルは、  
前記半導体基板上に設けられたトンネル絶縁膜と、  
前記トンネル絶縁膜上に設けられ、空洞領域および絶縁体領域の少なくとも一方を含む浮遊ゲート電極と、  
前記浮遊ゲート電極の上方に設けられた制御ゲート電極と、  
前記制御ゲート電極と前記浮遊ゲート電極との間に設けられた電極間絶縁膜と  
を備えていることを特徴とする半導体装置。

【請求項 9】

半導体基板と、  
前記半導体基板の表面に設けられ、素子分離溝を含む素子分離領域と、  
前記半導体基板上に設けられた不揮発性メモリセルであって、トンネル絶縁膜と、前記トンネル絶縁膜上に設けられた浮遊ゲート電極と、前記浮遊ゲート電極の上方に設けられた制御ゲート電極と、前記制御ゲート電極と前記浮遊ゲート電極との間に設けられた電極間絶縁膜とを含む不揮発性メモリセルと  
を具備してなる半導体装置の製造方法であって、  
前記半導体基板上に前記トンネル絶縁となる絶縁膜を形成する工程と、  
前記浮遊ゲート電極となる半導体膜であって、底面よりも上の領域と上面よりも下の領域との間で酸化速度が最大となる側面を含む半導体膜を前記絶縁膜上に形成する工程と、  
前記半導体膜、前記絶縁膜および前記半導体基板をエッチングして、前記素子分離溝を形成する工程と、  
前記素子分離溝を形成する工程で露出した前記半導体膜の表面を酸化し、前記半導体膜の表面に酸化膜を形成する工程と、  
前記酸化膜を除去する工程と  
を有することを特徴とする半導体装置の製造方法。

【請求項 10】

前記半導体膜はドーパントを含み、前記ドーパントの濃度は前記半導体膜の底面よりも上の領域と前記半導体膜の上面よりも下の領域との間の側面で最大となることを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 11】

半導体基板と、  
前記半導体基板の表面に設けられ、素子分離溝を含む素子分離領域と、  
前記半導体基板上に設けられた不揮発性メモリセルであって、トンネル絶縁膜と、前記トンネル絶縁膜上に設けられた浮遊ゲート電極と、前記浮遊ゲート電極の上方に設けられた制御ゲート電極と、前記制御ゲート電極と前記浮遊ゲート電極との間に設けられ、電極間絶縁膜とを含む不揮発性メモリセルと  
を具備してなる半導体装置の製造方法であって、  
前記半導体基板上に前記トンネル絶縁となる絶縁膜、前記浮遊ゲート電極となる半導体膜を順次形成する工程と、  
前記半導体膜、前記絶縁膜および前記半導体基板をエッチングして、前記素子分離溝を形成する工程と、  
前記素子分離溝の内部に素子分離絶縁膜を形成する工程と、  
前記素子分離絶縁膜および前記半導体膜を含む領域上に、前記電極間絶縁膜の一部を構成する第 1 の誘電体領域、制御ゲート電極を順次形成する工程と、  
前記第 1 の誘電体領域の露出表面を横方向に所定量だけエッチングして生じた空洞領域内に、前記第 1 の誘電体領域よりも誘電率が低い、前記電極間絶縁膜の一部を構成する第 2 の誘電体領域を形成する工程と  
を有することを特徴とする半導体装置の製造方法。

【請求項 12】

半導体基板と、

10

20

30

40

50

前記半導体基板の表面に設けられ、素子分離溝を含む素子分離領域と、  
前記半導体基板上に設けられた不揮発性メモリセルであって、トンネル絶縁膜と、前記トンネル絶縁膜上に設けられた浮遊ゲート電極と、前記浮遊ゲート電極の上方に設けられた制御ゲート電極と、前記制御ゲート電極と前記浮遊ゲート電極との間に設けられた電極間絶縁膜とを含む不揮発性メモリセルと  
を具備してなる半導体装置の製造方法であって、  
前記半導体基板上に前記トンネル絶縁となる絶縁膜、前記浮遊ゲート電極の一部を構成する第1の半導体膜、研磨ストップ膜を順次形成する工程と、  
前記第1の半導体膜、前記絶縁膜、前記半導体基板および前記研磨ストップ膜をエッチングして、前記素子分離溝を形成する工程と、  
前記素子分離溝の内部を埋め込むように、前記素子分離溝および前記研磨ストップ膜を含む領域上に素子分離絶縁膜を形成する工程と、  
前記研磨ストップ膜をストップに用いて前記素子分離溝の表面を研磨し、前記素子分離溝の外部の前記素子分離絶縁膜を除去する工程と、  
前記研磨ストップ膜を除去する工程と、  
前記研磨ストップ膜を除去して生じた凹部の内部を埋め込むように、前記素子分離絶縁膜および前記第1の半導体膜を含む領域上に、前記浮遊ゲート電極の一部を構成する、内部に空洞を含む第2の半導体膜を形成する工程と  
を有することを特徴とする半導体装置の製造方法。

10

【請求項13】

前記第2の半導体膜を形成する工程は、前記領域上に前記第2の半導体膜がコンフォーマルに堆積される条件で行われることを特徴とする請求項12に記載の半導体装置の製造方法。

20

【請求項14】

前記第2の半導体膜を形成する工程の後に、前記電極間絶縁膜を熱酸化プロセスまたは減圧CVDプロセスにより形成する工程をさらに有することを特徴とする請求項12または13に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性メモリセルを備えた半導体装置およびその製造方法に関する。

30

【0002】

【従来の技術】

図29は、従来の複数の不揮発性メモリセルのチャネル幅方向（チャネル電流が流れる方向と直交する方向）の断面構造を示している（例えば、非特許文献1参照）。図29において、81はシリコン基板、82は素子分離絶縁膜、83はトンネル絶縁膜、84は浮遊ゲート電極、85は電極間絶縁膜、86は制御ゲート電極を示している。

【0003】

図29に示すように、チャネル幅方向に隣接する二つの浮遊ゲート電極84の大部分（図29の例では約50%）は、素子分離絶縁膜82を介して対向している。

40

【0004】

メモリセルの微細化が進むほど、浮遊ゲート電極84間の対向距離L1は短くなる。対向距離L1が短くなるほど、隣接する浮遊ゲート電極84間の容量（浮遊ゲート電極間浮遊容量）は大きくなる。

【0005】

その結果、メモリセルの微細化が進んだ現在、浮遊ゲート電極84とシリコン基板81との間の浮遊容量に比べて、上記浮遊ゲート電極間浮遊容量は無視できなくなりつつある。

【0006】

上記浮遊ゲート電極間浮遊容量の増加は、隣接するメモリセルの書込み／消去状態が、着目しているメモリセルの動作特性に影響を与える、いわゆるYupin効果によるセル間

50

干渉を招く。該セル間干渉は、メモリ誤動作を招く原因となる。

【0007】

従来の不揮発性メモリセルの他の問題について説明する。

【0008】

図30は、従来の複数の不揮発性メモリセルのチャネル長方向（チャネル電流が流れる方向）の断面構造を示している（例えば、特許文献1参照）。図30において、87はソース／ドレイン領域、88は層間絶縁膜を示している。また、図30において、図29と対応する部分には図29と同一符号を示してある。

【0009】

図30に示すように、チャネル長方向に隣接する二つの浮遊ゲート電極84の全部分は、層間絶縁膜88を介して対向している。

10

【0010】

メモリセルの微細化が進むほど、浮遊ゲート電極84間の対向距離 $L_2$ は短くなる。対向距離 $L_2$ が短くなるほど、図31(a)に示す、隣接する浮遊ゲート電極84の上面間の浮遊容量 $C_1$ は、大きくなる。

【0011】

その結果、メモリセルの微細化が進んだ現在、隣接する浮遊ゲート電極84の側壁間の浮遊容量 $C_2$ （図31(b)参照）に加えて、浮遊容量 $C_1$ も無視できなくなりつつある。特に、電極間絶縁膜85としてアルミナ膜やタンタル酸化膜等の高誘電体膜を使用した場合、浮遊容量 $C_1$ の増加は顕著となる。

20

【0012】

上記浮遊容量 $C_1$ の増加は、Y u p i n効果によるセル間干渉を招く。該セル間干渉は、メモリ誤動作を招く原因となる。

【0013】

【非特許文献1】

I E E E   E L E C T R O N   D E V I C E   L E T T E R S ,   V O L . 2 3 ,   N O . 5 ,   M A Y ,   2 0 0 2 ,   p . 2 6 4 - 2 6 6

【0014】

【特許文献1】

特開2002-203919号公報

30

【0015】

【発明が解決しようとする課題】

上述の如く、従来の不揮発性メモリセルは、微細化が進むと、チャネル幅方向に隣接する浮遊ゲート電極間の浮遊容量が増加し、その結果として、メモリの誤動作が生じやすくなるという問題がある。

【0016】

また、微細化が進むと、チャネル長方向に隣接する浮遊ゲート電極の上面間の浮遊容量が増加し、その結果として、メモリの誤動作が生じやすくなるという問題がある。

【0017】

本発明は、上記事情を考慮してなされたもので、その目的とするところは、微細化に伴う浮遊ゲート電極間の浮遊容量の増加を抑制できる不揮発性メモリセルを備えた半導体装置およびその製造方法を提供することにある。

40

【0018】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば下記の通りである。

【0019】

すなわち、上記目的を達成するために、本発明に係る半導体装置は、半導体基板と、前記半導体基板上に設けられた不揮発性メモリセルとを具備してなる半導体装置であって、前記不揮発性メモリセルは、前記半導体基板上に設けられたトンネル絶縁膜と、前記トンネ

50

ル絶縁膜上に設けられた浮遊ゲート電極と、前記浮遊ゲート電極の上方に設けられた制御ゲート電極と、前記制御ゲート電極と前記浮遊ゲート電極との間に設けられた電極間絶縁膜とを備え、前記不揮発性メモリセルのチャンネル幅方向またはチャンネル長方向において、前記浮遊ゲート電極の幅は、前記不揮発性メモリセルの高さ方向に変化し、かつ、前記浮遊ゲート電極の底面よりも上の領域と前記浮遊ゲート電極の上面よりも下の領域との間で、最小となっていることを特徴とする。

#### 【0020】

また、本発明に係る他の半導体装置は、半導体基板と、前記半導体基板上に設けられた不揮発性メモリセルとを具備してなる半導体装置であって、前記不揮発性メモリセルは、前記半導体基板上に設けられたトンネル絶縁膜と、前記トンネル絶縁膜上に設けられた浮遊ゲート電極と、前記浮遊ゲート電極の上方に設けられた制御ゲート電極と、前記制御ゲート電極と前記浮遊ゲート電極との間に設けられた電極間絶縁膜とを備え、前記電極間絶縁膜は、第1の誘電体領域および該第1の誘電体領域よりも誘電率が低い第2の誘電体領域を含み、前記第2の誘電体領域は、前記不揮発性メモリセルのチャンネル長方向の前記第1の誘電体領域の端部に設けられていることを特徴とする。

#### 【0021】

また、本発明に係る他の半導体装置は、半導体基板と、前記半導体基板上に設けられた不揮発性メモリセルとを具備してなる半導体装置であって、前記不揮発性メモリセルは、前記半導体基板上に設けられたトンネル絶縁膜と、前記トンネル絶縁膜上に設けられ、空洞領域および絶縁体領域の少なくとも一方を含む浮遊ゲート電極と、前記浮遊ゲート電極の上方に設けられた制御ゲート電極と、前記制御ゲート電極と前記浮遊ゲート電極との間に設けられた電極間絶縁膜とを備えていることを特徴とする。

#### 【0022】

本発明に係る半導体装置の製造方法は、半導体基板と、前記半導体基板の表面に設けられ、素子分離溝を含む素子分離領域と、前記半導体基板上に設けられた不揮発性メモリセルであって、トンネル絶縁膜と、前記トンネル絶縁膜上に設けられた浮遊ゲート電極と、前記浮遊ゲート電極の上方に設けられた制御ゲート電極と、前記制御ゲート電極と前記浮遊ゲート電極との間に設けられた電極間絶縁膜とを含む不揮発性メモリセルとを具備してなる半導体装置の製造方法であって、前記半導体基板上に前記トンネル絶縁となる絶縁膜を形成する工程と、前記浮遊ゲート電極となる半導体膜であって、底面よりも上の領域と上面よりも下の領域との間で酸化速度が最大となる側面を含む半導体膜を前記絶縁膜上に形成する工程と、前記半導体膜、前記絶縁膜および前記半導体基板をエッチングして、前記素子分離溝を形成する工程と、前記素子分離溝を形成する工程で露出した前記半導体膜の表面を酸化し、前記半導体膜の表面に酸化膜を形成する工程と、前記酸化膜を除去する工程とを有することを特徴とする。

#### 【0023】

また、本発明に係る他の半導体装置の製造方法は、半導体基板と、前記半導体基板の表面に設けられ、素子分離溝を含む素子分離領域と、前記半導体基板上に設けられた不揮発性メモリセルであって、トンネル絶縁膜と、前記トンネル絶縁膜上に設けられた浮遊ゲート電極と、前記浮遊ゲート電極の上方に設けられた制御ゲート電極と、前記制御ゲート電極と前記浮遊ゲート電極との間に設けられ、電極間絶縁膜とを含む不揮発性メモリセルとを具備してなる半導体装置の製造方法であって、前記半導体基板上に前記トンネル絶縁となる絶縁膜、前記浮遊ゲート電極となる半導体膜を順次形成する工程と、前記半導体膜、前記絶縁膜および前記半導体基板をエッチングして、前記素子分離溝を形成する工程と、前記素子分離溝の内部に素子分離絶縁膜を形成する工程と、前記素子分離絶縁膜および前記半導体膜を含む領域上に、前記電極間絶縁膜の一部を構成する第1の誘電体領域、制御ゲート電極を順次形成する工程と、前記第1の誘電体領域の露出表面を横方向に所定量だけエッチングして生じた空洞領域内に、前記第1の誘電体領域よりも誘電率が低い、前記電極間絶縁膜の一部を構成する第2の誘電体領域を形成する工程とを有することを特徴とする。

## 【0024】

また、本発明に係る他の半導体装置の製造方法は、半導体基板と、前記半導体基板の表面に設けられ、素子分離溝を含む素子分離領域と、前記半導体基板上に設けられた不揮発性メモリセルであって、トンネル絶縁膜と、前記トンネル絶縁膜上に設けられた浮遊ゲート電極と、前記浮遊ゲート電極の上方に設けられた制御ゲート電極と、前記制御ゲート電極と前記浮遊ゲート電極との間に設けられた電極間絶縁膜とを含む不揮発性メモリセルとを具備してなる半導体装置の製造方法であって、前記半導体基板上に前記トンネル絶縁となる絶縁膜、前記浮遊ゲート電極の一部を構成する第1の半導体膜、研磨ストッパ膜を順次形成する工程と、前記第1の半導体膜、前記絶縁膜、前記半導体基板および前記研磨ストッパ膜をエッチングして、前記素子分離溝を形成する工程と、前記素子分離溝の内部を埋め込むように、前記素子分離溝および前記研磨ストッパ膜を含む領域上に素子分離絶縁膜を形成する工程と、前記研磨ストッパ膜をストッパに用いて前記素子分離溝の表面を研磨し、前記素子分離溝の外部の前記素子分離絶縁膜を除去する工程と、前記研磨ストッパ膜を除去する工程と、前記研磨ストッパ膜を除去して生じた凹部の内部を埋め込むように、前記素子分離絶縁膜および前記第1の半導体膜を含む領域上に、前記浮遊ゲート電極の一部を構成する、内部に空洞を含む第2の半導体膜を形成する工程とを有することを特徴とする。

10

## 【0025】

## 【発明の実施の形態】

以下、図面を参照しながら本発明の実施形態を説明する。

20

## 【0026】

## (第1の実施形態)

図1は、本発明の第1の実施形態に係る複数の不揮発性メモリセル（以下、単にメモリセルという。）を示す平面図、図2（a）および（b）は、それぞれ、図1の線分A-A'に沿った断面を示す断面図（チャンネル長方向の断面図）および線分B-B'に沿った断面を示す断面図（チャンネル幅方向の断面図）である。

## 【0027】

複数のメモリセルは、不揮発性メモリのメモリセルアレイを構成している。各メモリセルは、トンネル絶縁膜、浮遊ゲート電極、制御ゲート電極、電極間絶縁膜およびソース／ドレイン領域を含む。以下、本実施形態のメモリセルについてさらに説明する。

30

## 【0028】

シリコン基板1の表面には素子分離溝2が設けられ、素子分離溝2は素子分離絶縁膜3により埋め込まれている。各素子分離絶縁膜3の上面は、シリコン基板1の表面よりも高く、かつ、浮遊ゲート電極5の上面よりも低い。より具体的には、素子分離絶縁膜3の上面は、浮遊ゲート電極5の約半分の高さまで達している。

## 【0029】

素子分離溝2および素子分離絶縁膜3は、素子分離領域を構成する。該素子分離領域によって、メモリセルのチャンネル領域を含む、シリコン基板1の半導体領域（素子形成領域）が規定される。

## 【0030】

上記半導体領域の表面上には、トンネル絶縁膜4が設けられている。トンネル絶縁膜4上には、浮遊ゲート電極5が設けられている。

40

## 【0031】

メモリセルのチャンネル幅方向において、浮遊ゲート電極5の幅は、メモリセルの高さ方向に変化し、かつ、浮遊ゲート電極5の底面よりも上の領域と浮遊ゲート電極5の上面よりも下の領域との間のほぼ中間位置で、最小となっている。

## 【0032】

浮遊ゲート電極5の幅が最小となる位置は、上記中間位置には限定されない。例えば、上記中間位置よりも浮遊ゲート電極5の上面側に近い位置、または上記中間位置よりも浮遊ゲート電極5の底面側に近い位置でも構わない。

50



## 【0033】

浮遊ゲート電極5の幅は、浮遊ゲート電極5の幅が最小となる位置から浮遊ゲート電極5の上面および下面に向かって、それぞれ、非線形に増加しているが、線形に増加しても構わない。

## 【0034】

隣接する浮遊ゲート電極5の上面間の距離は、従来の浮遊ゲート電極の上面間の距離と同程度である。同様に、隣接する浮遊ゲート電極5の下面間の距離は、従来の浮遊ゲート電極の下面間の距離と同程度である。したがって、本実施形態の隣接する浮遊ゲート電極5間の平均距離は、従来の隣接する浮遊ゲート電極間の平均距離よりも長くなる。

## 【0035】

隣接する浮遊ゲート電極5間の平均距離が長くなると、隣接する浮遊ゲート電極5間の浮遊容量が低減される。したがって、本実施形態によれば、素子の微細化を進めても、Y u p p i n効果によるセル間干渉が効果的に防止され、その結果として、メモリ誤動作が起こり難い高集積度の不揮発性メモリを実現できるようになる。

## 【0036】

浮遊ゲート電極5の上方には、制御ゲート電極6が設けられている。浮遊ゲート電極5と制御ゲート電極6との間には、電極間絶縁膜7が設けられている。

## 【0037】

制御ゲート電極6上にはシリコン窒化膜8が設けられている。シリコン窒化膜8は、メモリセルの製造途中において、R I E ( R e a c t i v e I o n E t c h i n g ) マスクとして使用されたものである。

## 【0038】

図2(a)に示すように、トンネル絶縁膜4、浮遊ゲート電極5、制御ゲート電極6、電極間絶縁膜7およびシリコン窒化膜8からなるゲート構造部の側面および上面は、シリコン酸化膜9で覆われている。このようなシリコン酸化膜9は、電極側壁酸化膜と呼ばれている。

## 【0039】

シリコン酸化膜9上には、層間絶縁膜としてのB P S G ( B o r o p h o s p h o s i l i c a t e G l a s s ) 膜10が設けられている。そして、シリコン基板1の表面には、ゲート構造部4-8を挟むように、一对のソース/ドレイン領域11が設けられている。

## 【0040】

次に、本実施形態の複数のメモリセルの製造方法について、図3-8を用いて説明する。これらの各図の(a)および(a')は、それぞれ、図1の平面図の線分A-A'および線分B-B'に沿った断面図に相当する。

## 【0041】

まず、図3に示すように、所望の不純物がドーピングされたシリコン基板1の表面に、厚さ10nmのトンネル絶縁膜4が熱酸化法により形成され、その後、浮遊ゲート電極となる厚さ150nmのリンがドーピングされた多結晶シリコン膜5が、シラン( $\text{SiH}_4$ )ガスとフォスフィン( $\text{PH}_3$ )を用いた減圧CVD ( C h e m i c a l V a p o r D e p o s i t i o n ) 法により、トンネル絶縁膜4上に堆積される。

## 【0042】

多結晶シリコン膜5は以下のようなリンの濃度勾配(濃度分布)を有する。すなわち、多結晶シリコン膜5は、多結晶シリコン膜5の厚さ方向のほぼ中間位置で、リン濃度が最大となり、かつ、多結晶シリコン膜5の上面および下面に向かうほど、リン濃度が低下する濃度勾配(濃度分布)を有する。

## 【0043】

このようなリンの濃度勾配(濃度分布)を有する多結晶シリコン膜5は、多結晶シリコン膜5のCVDプロセス時に、フォスフィンの流量を調整することにより得られる。

## 【0044】

10

20

30

40

50

次に、図3に示すように、多結晶シリコン膜5上に、CMP (Chemical Mechanical Polish) のストッパとなる厚さ50nmのシリコン窒化膜12、RIEのマスクとなる厚さ100nmのシリコン酸化膜13が減圧CVD法により順次堆積される。

【0045】

次に、図3に示すように、素子形成領域を覆うレジスト (図示せず) をマスクに用いて、RIEプロセスによりシリコン酸化膜13がエッチングされ、上記レジストのパターンがシリコン酸化膜13に転写される。

【0046】

次に、図3に示すように、上記レジストマスクおよびシリコン酸化膜13をマスクに用いて、RIEプロセスによりシリコン窒化膜12、多結晶シリコン膜5、トンネル絶縁膜4が順次エッチングされ、さらに、シリコン基板1の露出領域もエッチングされ、深さ150nmの素子分離溝2が形成される。これにより、チャンネル幅が約100nmの素子形成領域が得られ、また、多結晶シリコン膜 (浮遊ゲート電極) 50のビット線方向の形状が確定される。

【0047】

上記RIEプロセスの途中で上記レジストは消滅し、その後は、シリコン酸化膜13がRIEのマスクとして用いられる。

【0048】

次に、図4に示すように、シリコンが露出したシリコン基板1および浮遊ゲート電極5の表面に、シリコン酸化膜14a、14bが熱酸化法により形成される。

【0049】

シリコン基板1の表面 (素子分離溝2の底面および側面) 上のシリコン酸化膜14aの厚さは、5nmである。

【0050】

一方、リンがドーパされた多結晶シリコン膜5の側壁上のシリコン酸化膜14bの厚さは、リン濃度が高い領域ほど厚く、リン濃度の最も高い厚さ方向のほぼ中間位置では10nmである。

【0051】

このような膜厚分布をシリコン酸化膜14bが形成される理由は、多結晶シリコン膜5の側壁上では、リンによる増速酸化が起こるからである。

【0052】

次に、図5に示すように、希弗酸溶液を用いたウェットエッチングにより、シリコン酸化膜14a、14bが除去される。

【0053】

その結果、メモリセルのチャンネル幅方向において、浮遊ゲート電極5の底面よりも上の領域と浮遊ゲート電極5の上面よりも下の領域との間のほぼ中間位置で幅が最小となり、かつ、浮遊ゲート電極5の幅が最小となる位置から浮遊ゲート電極5の上面および下面に向かって、幅が非線形に増加する浮遊ゲート電極5が得られる。

【0054】

次に、素子分離溝2が完全に埋め込まれるように、素子分離絶縁膜3となる厚さ400nmのシリコン酸化膜 (CVD酸化膜) がプラズマCVD法により全面に堆積される。

【0055】

次に、図6に示すように、シリコン窒化膜12をCMPストッパに用いて、CMPプロセスにより、上記CVD酸化膜の不要部分が除去されて、所定形状の素子分離絶縁膜3が得られ、かつ、シリコン酸化膜 (RIEマスク) 13が除去される。上記CMPプロセスは、シリコン窒化膜12が露出するまで行われ、かつ、表面が平坦化されるまで行われる。

【0056】

次に、図7に示すように、リン酸溶液を用いたエッチングにより、シリコン窒化膜12が除去され、その後、希弗酸溶液を用いたウェットエッチングにより、素子分離絶縁膜 (シ

10

20

30

40

50

リコン酸化膜) 3の上部が除去され、チャネル幅方向において、浮遊ゲート電極5の側面の上側が露出される。浮遊ゲート電極5の側面の高さは70nmである。

【0057】

次に、図8に示すように、電極間絶縁膜7となる、シリコン酸化膜/シリコン窒化膜/シリコン酸化膜からなる厚さ15nmの3層構造の絶縁膜が、減圧CVD法により全面に堆積される。

【0058】

次に、図8に示すように、制御ゲート電極6となる、多結晶シリコン膜/タンゲステンシリサイド膜からなる厚さ100nmの2層構造の導電膜が、減圧CVD法により上記3層構造の絶縁膜上に堆積される。

【0059】

次に、RIEマスクとなる厚さ100nmのシリコン窒化膜が、減圧CVD法により上記2層構造の導電膜上に形成される。

【0060】

次に、上記シリコン窒化膜上にレジストマスクが形成され、該レジストマスクをマスクに用いて上記シリコン窒化膜がRIEプロセスによりエッチングされ、図8に示すように、ゲート構造部に対応したパターンを有するシリコン窒化膜(RIEマスク)8が得られる。

【0061】

次に、上記レジストマスクおよびシリコン窒化膜8をマスクに用いて、RIEプロセスにより、上記3層構造の絶縁膜、2層構造の導電膜、浮遊ゲート電極5、トンネル絶縁膜4が順次エッチングされ、図8に示すように、ワード線方向のスリット部15が形成される。これにより、浮遊ゲート電極5および制御ゲート電極6の形状が確定される。

【0062】

次に、熱酸化法およびCVD法を用いてシリコン酸化膜(電極側壁酸化膜)9が形成され、イオン注入およびアニールを用いてソース/ドレイン領域11が形成され、そして、層間絶縁膜としてのBPSG膜10が減圧CVD法により堆積され、図2に示したメモリセルが得られる。その後、配線層の形成工程等の周知の工程が続き、不揮発性メモリが完成する。

【0063】

(第2の実施形態)

図9に、本発明の第2の実施形態に係る複数のメモリセルの断面図を示す。これは、図2(b)に相当するチャネル幅方向の断面図である。図9において、図2(b)と対応する部分には図2(b)と同一符号を付してあり、詳細な説明は省略する。また、以下の図において、前出した図と同一符号は、同一部分または相当部分を示し、詳細な説明は省略する。

【0064】

本実施形態が第1の実施形態と異なる点は、浮遊ゲート電極5の上面および側面のうち、上面が電極間絶縁膜7で覆われていることにある。また、素子分離絶縁膜3の上面は、浮遊ゲート電極5の上面よりも高い。

【0065】

このようなメモリセル構造では、浮遊ゲート電極5の側面上に電極間絶縁膜7が無いので、隣接する浮遊ゲート電極5間の浮遊容量は、第1の実施形態のメモリセル構造の約2倍になる。上記浮遊容量の増加は、セル間干渉を招く原因となる。

【0066】

しかし、本実施形態のメモリセル構造では、浮遊ゲート電極5の幅が、メモリセルの高さ方向のほぼ中間位置で狭くなっているため、上記浮遊容量の増加は抑制される。したがって、セル間干渉によるメモリ誤動作の発生率は大幅に低減される。

【0067】

本実施形態の複数のメモリセルの製造方法は、第1の実施形態の複数のメモリセルの製造

10

20

30

40

50

方法の図7の工程から、素子分離絶縁膜3の上部を除去する工程を省いたものとなる。したがって、本実施形態によれば、メモリセルの製造プロセスを簡略化できるという効果が得られる。

【0068】

(第3の実施形態)

図10は、本発明の第3の実施形態に係る複数のメモリセルを示す断面図である。これは、図2(b)に相当するチャネル幅方向の断面図である。

【0069】

本実施形態が第1の実施形態と異なる点は、浮遊ゲート電極5と対向する部分のトンネル絶縁膜4の面積が、浮遊ゲート電極5と対向する部分の電極間絶縁膜7の面積よりも小さいことにある。

【0070】

また、浮遊ゲート電極5の幅のメモリセルの高さ方向の分布は、浮遊ゲート電極5の底面から一定以上離れた位置P1で極大を示し、さらにその上の位置P2(浮遊ゲート電極5の幅が最小となる位置)で極小を示す分布を有している。

【0071】

本実施形態によれば、第1の実施形態で述べた効果の他に、以下のような効果も得られる。すなわち、本実施形態によれば、浮遊ゲート電極5と対向する部分のトンネル絶縁膜4の面積が、浮遊ゲート電極5と対向する部分の電極間絶縁膜7の面積よりも小さくなっているため、カップリング比の増加による動作電圧の低減化を実現できる。

【0072】

上記カップリング比は、 $C_{ie} / (C_{td} + C_{ie})$ で定義される。ここで、 $C_{ie}$ は電極間絶縁膜7の容量、 $C_{td}$ はトンネル絶縁膜4の容量である。

【0073】

本実施形態の複数のメモリセルの製造方法は、第1の実施形態のそれを僅かに変更したものとなる。

【0074】

すなわち、本実施形態が第1の実施形態のそれと異なる点は、図5の工程において、希弗酸溶液を用いたウェットエッチングの時間を長くし、図11に示すように、トンネル絶縁膜4の素子分離絶縁膜3の端部近傍を約10nmほどエッチングにより除去し、その後、再び熱酸化を行うことにある。

【0075】

(第4の実施形態)

図12は、本発明の第4の実施形態に係る複数のメモリセルを示す断面図である。これは、図2(b)に相当するチャネル幅方向の断面図である。

【0076】

本実施形態が、第1-3の実施形態と異なる点は、浮遊ゲート電極5の内部に空洞領域または誘電体領域を含む領域(以下、空洞/誘電体領域という。)16が設けられていることにある。

【0077】

浮遊ゲート電極5の幅は、メモリセルのチャネル長方向およびチャネル幅方向のいずれにおいても、メモリセルの高さ方向で変化していない。しかし、第1または第2の実施形態と同様に、浮遊ゲート電極5の幅を変化させても構わない。

本実施形態によれば、浮遊ゲート電極5の内部に空洞/誘電体領域16が設けられているため、浮遊ゲート電極5の導体部分の断面積が小さくなる。したがって、チャネル長方向に隣接する浮遊ゲート電極5間の浮遊容量が低減され、メモリセル間干渉によるメモリ誤動作の発生率が十分に低減された不揮発性メモリを実現できるようになる。

【0078】

図12には、一つの浮遊ゲート電極5内に一つの空洞/誘電体領域16が設けられたメモリセルが示されているが、一つの浮遊ゲート電極5内に複数の空洞/誘電体領域16が設

10

20

30

40

50

けられていても構わない。さらに、浮遊ゲート電極 5 内に空洞領域と誘電体領域とが混在していても構わない。

【0079】

次に、本実施形態の複数のメモリセルの製造方法について、図 13-16 を用いて説明する。これらの各図の (a) および (a) は、それぞれ、図 1 の平面図の線分 A-A' および線分 B-B' に沿った断面図に相当する。

【0080】

まず、図 13 に示すように、所望の不純物がドーピングされたシリコン基板 1 の表面に、厚さ 10 nm のトンネル絶縁膜 4 が熱酸化法により形成され、その後、浮遊ゲート電極の下層となる厚さ 30 nm の第 1 の多結晶シリコン膜 5a (第 1 の半導体膜)、CMP ストップとなる厚さ 150 nm のシリコン窒化膜 12、RIE マスクとなる厚さ 100 nm のシリコン酸化膜 13 が減圧 CVD 法により順次堆積される。

10

【0081】

次に、図 13 に示すように、素子形成領域を覆うレジスト (図示せず) をマスクに用いて、RIE プロセスによりシリコン酸化膜 13 がエッチングされ、上記レジストのパターンがシリコン酸化膜 13 に転写される。

【0082】

続いて、図 13 に示すように、上記レジストマスクおよびシリコン酸化膜 13 をマスクに用いて、RIE プロセスによりシリコン窒化膜 12、多結晶シリコン膜 5、トンネル絶縁膜 4 が順次エッチングされ、さらに、シリコン基板 1 の露出領域もエッチングされ、深さ 150 nm の素子分離溝 2 が形成される。

20

【0083】

上記 RIE プロセスの途中で上記レジストは消滅し、その後は、シリコン酸化膜 14 が RIE のマスクとして用いられる。

【0084】

次に、図 13 に示すように、露出したシリコン表面に厚さ 5 nm のシリコン酸化膜 (図示せず) が熱酸化法により形成され、その後、素子分離溝 2 が完全に埋め込まれるように、素子分離絶縁膜 3 となる厚さ 400 nm のシリコン酸化膜 (CVD 酸化膜) がプラズマ CVD 法により全面に堆積される。

【0085】

次に、図 14 に示すように、シリコン窒化膜 12 をストップに用いて、CMP プロセスにより、上記 CVD 酸化膜の不要部分が除去されて、所定形状の素子分離絶縁膜 3 が得られ、かつ、シリコン酸化膜 (RIE マスク) 13 が除去される。上記 CMP プロセスは、シリコン窒化膜 12 が露出するまで行われ、かつ、表面が平坦化されるまで行われる。

30

【0086】

次に、図 15 に示すように、リン酸溶液を用いたエッチングにより、シリコン窒化膜 12 が除去され、その後、浮遊ゲート電極 5 の上層となる厚さ 200 nm 第 2 の多結晶シリコン膜 5b (第 2 の半導体膜) が減圧 CVD 法により全面に堆積される。

【0087】

このとき、第 2 の多結晶シリコン膜 5b の減圧 CVD プロセスは、第 2 の多結晶シリコン膜 5b がコンフォーマルに形成される条件で行われる。これにより、シームと呼ばれる空洞領域 17 を有する第 2 の多結晶シリコン膜 5b が形成される。空洞領域 17 は、隣接する素子分離絶縁膜 3 間の溝 (凹部) 内のほぼ中央部に位置する。上記溝 (凹部) 内は、シリコン窒化膜 12 が除去されて生じたものである。

40

【0088】

次に、図 16 に示すように、CMP プロセスにより、隣接する素子分離絶縁膜 3 間の溝 (凹部) の外部の第 2 の多結晶シリコン膜 5b が除去され、かつ、第 2 の多結晶シリコン膜 5b および素子分離絶縁膜 3 を含む領域の表面が平坦化される。この結果、第 1 および第 2 の多結晶シリコン膜 5a、5b からなる浮遊ゲート電極 5 が得られる。

【0089】

50

次に、図17に示すように、希弗酸溶液を用いたウェットエッチングにより、素子分離絶縁膜（シリコン酸化膜）3の上部が除去され、その後、素子分離絶縁膜3および浮遊ゲート電極5上に電極間絶縁膜7が形成される。

【0090】

このとき、電極間絶縁膜7を構成するシリコン酸化膜は、熱酸化プロセスにより形成される。この場合、酸化種は、第2の多結晶シリコン膜5b中に拡散し、空洞領域17内に達する。これにより、空洞領域17は二酸化珪素領域に変換され、空洞／誘電体領域16として誘電体領域が得られる。

【0091】

なお、空洞領域17をそのまま残した場合には、空洞／誘電体領域16として空洞領域が得られる。また、空洞領域17の一部を二酸化珪素領域に変換した場合には、空洞／誘電体領域16として空洞および誘電体領域が得られる。

10

【0092】

この後は、第1の実施形態と同様に、制御ゲート電極6、シリコン窒化膜8、シリコン酸化膜9、BPSG膜10、ソース／ドレイン領域11、配線層等が形成され、不揮発性メモリが完成する。

【0093】

なお、本実施形態では、電極間絶縁膜7を熱酸化プロセスで形成するときに、空洞領域内に誘電体領域を形成しているが、これに限るものではなく、例えば、電極側壁絶縁膜9を減圧CVDプロセスまたは熱酸化プロセスで形成するときに、空洞領域内に誘電体領域を形成しても良い。

20

【0094】

（第5の実施形態）

図18は、本発明の第5の実施形態に係る複数のメモリセルを示す断面図である。図18(a)および(b)は、それぞれ、図1の線分A-A'に沿った断面および線分B-B'に沿った断面を示す断面図に相当する断面図である。

【0095】

本実施形態が第1の実施形態と異なる点は、メモリセルのチャンネル長方向において、浮遊ゲート電極5の幅が、メモリセルの高さ方向に変化し、かつ、浮遊ゲート電極5の底面よりも上の領域と浮遊ゲート電極5の上面よりも下の領域との間のほぼ中間位置で、最小となっていることである。

30

【0096】

浮遊ゲート電極5の幅が最小となる位置および浮遊ゲート電極5の幅の変化の仕方は、第1の実施形態と同様に、種々の形態を取り得る。

【0097】

メモリセルのチャンネル長方向において、隣接する浮遊ゲート電極5の上面間の距離は、従来の浮遊ゲート電極の上面間の距離と同程度である。同様に、隣接する浮遊ゲート電極5の下面間の距離は、従来の浮遊ゲート電極の下面間の距離と同程度である。したがって、本実施形態の隣接する浮遊ゲート電極5間の平均距離は、従来の隣接する浮遊ゲート電極間の平均距離よりも長くなる。

40

【0098】

隣接する浮遊ゲート電極5間の平均距離が長くなると、隣接する浮遊ゲート電極5間の浮遊容量が低減される。したがって、本実施形態によれば、素子の微細化を進めても、Yuppin効果と呼ばれるセル間干渉が効果的に防止され、その結果として、メモリ誤動作が起り難い高集積度の不揮発性メモリを実現できるようになる。

【0099】

次に、本実施形態の複数のメモリセルの製造方法について、図19-24を用いて説明する。これらの各図の(a)および(a)は、それぞれ、図1の平面図の線分A-A'および線分B-B'に沿った断面図に相当する。

【0100】

50

まず、図19に示すように、所望の不純物がドーピングされたシリコン基板1の表面に、厚さ10nmのトンネル絶縁膜4が熱酸化法により形成され、その後、浮遊ゲート電極となる厚さ150nmのリンがドーピングされた多結晶シリコン膜5が、シランガスとフォスフィンを用いた減圧CVD法により、トンネル絶縁膜4上に堆積される。多結晶シリコン膜5は、第1の実施形態と同様のリンの濃度勾配（濃度分布）を有する。

【0101】

次に、図19に示すように、多結晶シリコン膜5上に、CMPのストッパとなる厚さ50nmのシリコン窒化膜12、RIEのマスクとなる厚さ100nmのシリコン酸化膜13が減圧CVD法により順次堆積される。

【0102】

次に、図19に示すように、素子形成領域を覆うレジスト（図示せず）をマスクに用いて、RIEプロセスによりシリコン酸化膜13がエッチングされ、上記レジストのパターンがシリコン酸化膜13に転写される。

【0103】

次に、図19に示すように、上記レジストマスクおよびシリコン酸化膜13をマスクに用いて、RIEプロセスによりシリコン窒化膜12、多結晶シリコン膜5、トンネル絶縁膜4が順次エッチングされ、さらに、シリコン基板1の露出領域もエッチングされ、素子分離溝2が形成される。

【0104】

上記RIEプロセスの途中で上記レジストは消滅し、その後は、シリコン酸化膜13がRIEのマスクとして用いられる。

【0105】

次に、図19に示すように、素子分離溝2が完全に埋め込まれるように、素子分離絶縁膜3となる厚さ400nmのシリコン酸化膜（CVD酸化膜）がプラズマCVD法により全面に堆積される。

【0106】

次に、図20に示すように、シリコン窒化膜12をCMPストッパに用いて、CMPプロセスにより、上記CVD酸化膜の不要部分が除去されて、所定形状の素子分離絶縁膜3が得られ、かつ、シリコン酸化膜（RIEマスク）14が除去される。上記CMPプロセスは、シリコン窒化膜12が露出するまで行われ、かつ、表面が平坦化されるまで行われる。

【0107】

次に、図21に示すように、リン酸溶液を用いたエッチングにより、シリコン窒化膜12が除去され、その後、素子分離絶縁膜（シリコン酸化膜）3の上部が希弗酸溶液を用いたウェットエッチングにより除去され、浮遊ゲート電極5の側面の上側が露出される。

【0108】

次に、図22に示すように、電極間絶縁膜7となる、シリコン酸化膜／シリコン窒化膜／シリコン酸化膜からなる厚さ15nmの3層構造の絶縁膜が、減圧CVD法により全面に形成される。

【0109】

次に、図22に示すように、制御ゲート電極6となる、多結晶シリコン膜／タンゲステンシリサイド膜からなる厚さ100nmの2層構造の導電膜が、減圧CVD法により上記3層構造の絶縁膜上に形成される。

【0110】

次に、RIEマスクとなる厚さ100nmのシリコン窒化膜が、減圧CVD法により上記2層構造の導電膜上に形成される。

【0111】

次に、上記シリコン窒化膜上にレジストマスクが形成され、該レジストマスクをマスクに用いて上記シリコン窒化膜がRIEプロセスによりエッチングされ、図22に示すように、ゲート構造部に対応したパターンを有するシリコン窒化膜8が得られる。

10

20

30

40

50

## 【0112】

次に、上記レジストマスクおよびシリコン窒化膜8をマスクに用いて、RIEプロセスにより、上記3層構造の絶縁膜、上記2層構造の導電膜、浮遊ゲート電極5、トンネル絶縁膜4が順次エッチングされ、図22に示すように、ワード線方向のスリット部15が形成される。これにより、浮遊ゲート電極5および制御ゲート電極6の形状が確定される。

## 【0113】

次に、図23に示すように、熱酸化法により、シリコンが露出したシリコン基板および浮遊ゲート電極5の表面に、シリコン酸化膜14a、14bが形成される。

## 【0114】

リンがドーパされた多結晶シリコン膜5の側壁上のシリコン酸化膜14bの厚さは、リン濃度が高い領域ほど厚く、リン濃度の最も高い厚さ方向のほぼ中間位置では10nmである。

## 【0115】

このような膜厚分布をシリコン酸化膜14bが形成される理由は、多結晶シリコン膜5の側壁上では、リンによる増速酸化が起こるからである。

## 【0116】

次に、図24に示すように、希弗酸溶液を用いたウェットエッチングにより、シリコン酸化膜14a、14bが除去される。

## 【0117】

その結果、メモリセルのチャンネル長方向において、浮遊ゲート電極5の底面よりも上の領域と浮遊ゲート電極5の上面よりも下の領域との間のほぼ中間位置で幅が最小となり、かつ、浮遊ゲート電極5の幅が最小となる位置から浮遊ゲート電極5の上面および下面に向かって、幅が非線形に増加する浮遊ゲート電極5が得られる。

## 【0118】

この後、第1の実施形態と同様に、熱酸化法およびCVD法を用いてシリコン酸化膜（電極側壁酸化膜）9が形成され、イオン注入およびアニールを用いてソース／ドレイン領域11が形成され、そして、層間絶縁膜としてのBPSG膜10が減圧CVD法により形成され、図18に示したメモリセルが得られる。その後、配線層等の工程が続き、不揮発性メモリが完成する。

## 【0119】

（第6の実施形態）

図25は、本発明の第6の実施形態に係る複数のメモリセルを示す断面図である。これは、図2(a)に相当するチャンネル長方向の断面図である。

## 【0120】

本実施形態が第5の実施形態と異なる点は、浮遊ゲート電極5と対向する部分のトンネル絶縁膜4の面積が、浮遊ゲート電極5と対向する部分の電極間絶縁膜7の面積よりも小さいことにある。

## 【0121】

また、浮遊ゲート電極5の幅のメモリセルの高さ方向の分布は、浮遊ゲート電極5の底面から一定以上離れた位置P1で極大を示し、さらにその上の位置P2（浮遊ゲート電極5の幅が最小となる位置）で極小を示す分布を有している。

## 【0122】

本実施形態によれば、第5の実施形態で述べた効果の他に、以下のような効果も得られる。すなわち、本実施形態によれば、浮遊ゲート電極5と対向する部分のトンネル絶縁膜4の面積が、浮遊ゲート電極5と対向する部分の電極間絶縁膜7の面積よりも小さくなっているので、カップリング比の増加による動作電圧の低減化を実現できる。

## 【0123】

本実施形態の複数のメモリセルの製造方法は、第5の実施形態のそれを僅かに変更したものとなる。

## 【0124】

10

20

30

40

50



すなわち、本実施形態が第5の実施形態のそれと異なる点は、図23の工程において、希弗酸溶液を用いたウエットエッチングの時間を長くし、トンネル絶縁膜4の端部をチャンネル長方向に約10nmほどエッチングにより除去し、その後、再び熱酸化を行うことにある。

#### 【0125】

なお、第1-6の実施形態では、チャンネル幅方向およびチャンネル長方向の一方において、浮遊ゲート電極5の幅が、不揮発性メモリセルの高さ方向に変化し、かつ、浮遊ゲート電極5の底面よりも上の領域と浮遊ゲート電極5の上面よりも下の領域との間で、最小となっているメモリセル構造について説明したが、チャンネル幅方向およびチャンネル長方向の両方において、浮遊ゲート電極5の幅が上記のように変化していても構わない。

10

#### 【0126】

(第7の実施形態)

図26は、本発明の第7の実施形態に係る複数のメモリセルを示す断面図である。これは、図2(a)に相当するチャンネル長方向の断面図である。

#### 【0127】

本実施形態が第1の実施形態と異なる点は、電極間絶縁膜7が、第1の誘電体領域7<sub>1</sub>および該第1の誘電体領域7<sub>1</sub>よりも誘電率が低い第2の誘電体領域7<sub>2</sub>を含み、メモリセルのチャンネル長方向において、第2の誘電体領域7<sub>2</sub>が、不揮発性メモリセルのチャンネル長方向の第1の誘電体領域7<sub>1</sub>の端部に設けられていることである。

#### 【0128】

第1の誘電体領域7<sub>1</sub>は例えばアルミナまたはタンタル酸化物で構成され、第2の誘電体領域7<sub>2</sub>は例えばシリコン酸化物(SiO<sub>2</sub>)、シリコン窒化物(SiN)またはシリコン酸化窒化物(SiON)で構成されている。しかし、第1-6の実施形態と同様に、浮遊ゲート電極5の幅を変化させても構わない。

20

#### 【0129】

浮遊ゲート電極5の幅は、メモリセルのチャンネル長方向およびチャンネル幅方向のいずれにおいても、メモリセルの高さ方向で変化していない。

#### 【0130】

メモリセルの微細化が進むほど、浮遊ゲート電極5間の対向距離L<sub>2</sub>は短くなる。対向距離L<sub>2</sub>が短くなるほど、図27(a)に示すように、隣接する浮遊ゲート電極84の上面間の浮遊容量C<sub>1</sub>は一般には大きくなる。

30

#### 【0131】

しかし、本実施形態の場合、浮遊ゲート電極5の端部の上面上に、低誘電率の第2の誘電体領域7<sub>2</sub>が存在するので、メモリセルの微細化を進めても、浮遊容量C<sub>1</sub>の増加が効果的に抑制される。隣接する浮遊ゲート電極5の側壁間の浮遊容量C<sub>2</sub>(図27(b))は従来と変わらない。

#### 【0132】

本実施形態によれば、素子の微細化を進めても、メモリ誤動作の原因となる、Yupin効果と呼ばれるセル間干渉が防止され、その結果として、メモリ誤動作が起こり難い高集積度の不揮発性メモリを実現できるようになる。

40

#### 【0133】

本実施形態のメモリセルの製造方法は、以下の通りである。まず、第6の実施形態の図19-22までの工程が行われる。電極間絶縁膜7(本実施形態の第1の誘電体領域7<sub>1</sub>に相当)は、例えばアルミナ膜またはタンタル酸化膜である。

#### 【0134】

次に、RIEプロセスまたはウエットエッチングにより、電極間絶縁膜7の端部がチャンネル長方向に所定量(第2の誘電体領域7<sub>2</sub>の幅に相当する寸法)だけ除去され、第1の誘電体領域7<sub>1</sub>が形成される。

#### 【0135】

その後、CVDプロセスにより、電極間絶縁膜7が除去された領域内に、シリコン酸化物

50

等の低誘電率の誘電体が埋め込まれることで、第2の誘電体領域7<sub>2</sub> が得られる。

【0136】

この後、周知の工程、すなわち、電極側壁酸化膜9を形成する工程、ソース／ドレイン領域11を形成する工程、BPSG膜（層間絶縁膜）10を形成する工程等を経て、図26に示したメモリセルが得られる。その後、配線層等の工程が続き、不揮発性メモリが完成する。

【0137】

なお、電極間絶縁膜7が除去された領域内をBPSG膜（層間絶縁膜）10で埋め込むことでも、第2の誘電体領域7<sub>2</sub> を形成することができる。この場合、電極間絶縁膜7が除去された領域内をシリコン酸化物等の誘電体で埋め込む工程が省けるので、プロセスの簡略が図れる。

【0138】

（第8の実施形態）

図28は、本発明の第8の実施形態に係る複数のメモリセルを示す断面図である。これは、図2（b）に相当するチャンネル幅方向の断面図である。

【0139】

本実施形態が第7の実施形態と異なる点は、浮遊ゲート電極5（5a, 5b）と対向する部分のトンネル絶縁膜4の面積が、浮遊ゲート電極5と対向する部分の電極間絶縁膜7の面積よりも小さいことにある。

【0140】

本実施形態によれば、第7の実施形態で述べた効果の他に、以下のような効果も得られる。すなわち、本実施形態によれば、浮遊ゲート電極5と対向する部分のトンネル絶縁膜4の面積が、浮遊ゲート電極5と対向する部分の電極間絶縁膜7の面積よりも小さくなっているため、カップリング比の増加による動作電圧の低減化を実現できる。

【0141】

本実施形態の複数のメモリセルの製造方法は、浮遊ゲート電極5a, 5bの形成工程を除いて、第7の実施形態のそれと同じである。浮遊ゲート電極5a, 5bの形成工程は、以下の通りである。

【0142】

すなわち、浮遊ゲート電極5a, 5bの形成工程は、第5の実施形態の図21の工程のように、浮遊ゲート電極5（本実施形態の浮遊ゲート電極5aに相当）を形成する工程と、素子分離絶縁膜3および浮遊ゲート電極5aを含む領域上に多結晶シリコン膜を形成する工程と、フォトリソグラフィおよびエッチングにより上記多結晶シリコン膜を加工して、該多結晶シリコン膜からなる浮遊ゲート電極5bを形成する工程とを含む。

【0143】

なお、本発明は上記実施形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施形態に開示されている複数の構成要素の適宜な組み合わせにより、種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。さらに、異なる実施形態にわたる構成要素を適宜組み合わせてもよい。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0144】

【発明の効果】

以上詳説したように本発明によれば、微細化に伴う浮遊ゲート電極間の浮遊容量の増加を抑制できる不揮発性メモリセルを備えた半導体装置およびその製造方法を実現できるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る複数のメモリセルを示す平面図。

【図2】図1の平面図の線分A-A'に沿った断面図および線分B-B'に沿った断面図

10

20

30

40

【図 3】第 1 の実施形態の複数のメモリセルの製造工程を示す断面図。

【図 4】図 3 に続く同メモリセルの製造工程を示す断面図。

【図 5】図 4 に続く同メモリセルの製造工程を示す断面図。

【図 6】図 5 に続く同メモリセルの製造工程を示す断面図。

【図 7】図 6 に続く同メモリセルの製造工程を示す断面図。

【図 8】図 7 に続く同メモリセルの製造工程を示す断面図。

【図 9】本発明の第 2 の実施形態に係る複数のメモリセルを示すチャンネル幅方向の断面図。

【図 10】本発明の第 3 の実施形態に係る複数のメモリセルを示すチャンネル幅方向の断面図。

10

【図 11】第 3 の実施形態の複数のメモリセルの製造方法を説明するための断面図。

【図 12】本発明の第 4 の実施形態に係るメモリセルを示すチャンネル幅方向の断面図。

【図 13】第 4 の実施形態の複数のメモリセルの製造工程を示す断面図。

【図 14】図 13 に続く同メモリセルの製造工程を示す断面図。

【図 15】図 14 に続く同メモリセルの製造工程を示す断面図。

【図 16】図 15 に続く同メモリセルの製造工程を示す断面図。

【図 17】図 16 に続く同メモリセルの製造工程を示す断面図。

【図 18】本発明の第 5 の実施形態に係る複数のメモリセルを示すチャンネル長方向およびチャンネル幅方向の断面図。

【図 19】第 5 の実施形態の複数のメモリセルの製造工程を示す断面図。

20

【図 20】図 19 に続く同メモリセルの製造工程を示す断面図。

【図 21】図 20 に続く同メモリセルの製造工程を示す断面図。

【図 22】図 21 に続く同メモリセルの製造工程を示す断面図。

【図 23】図 22 に続く同メモリセルの製造工程を示す断面図。

【図 24】図 23 に続く同メモリセルの製造工程を示す断面図。

【図 25】本発明の第 6 の実施形態に係る複数のメモリセルを示すチャンネル長方向の断面図。

【図 26】本発明の第 7 の実施形態に係る複数のメモリセルを示すチャンネル長方向の断面図。

【図 27】第 6 の実施形態のメモリセルの浮遊容量を模式的に示す図。

30

【図 28】本発明の第 8 の実施形態に係る複数のメモリセルを示すチャンネル幅方向の断面図。

【図 29】従来のメモリセルのチャンネル幅方向の断面構造を示す断面図。

【図 30】従来のメモリセルのチャンネル長方向の断面構造を示す断面図。

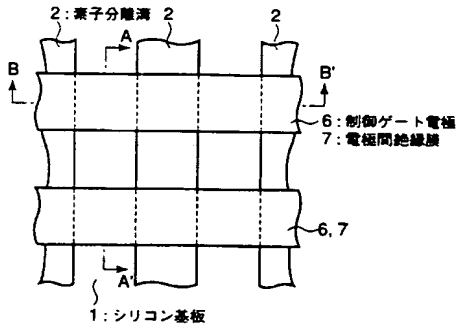
【図 31】従来のメモリセルの浮遊容量を模式的に示す図。

【符号の説明】

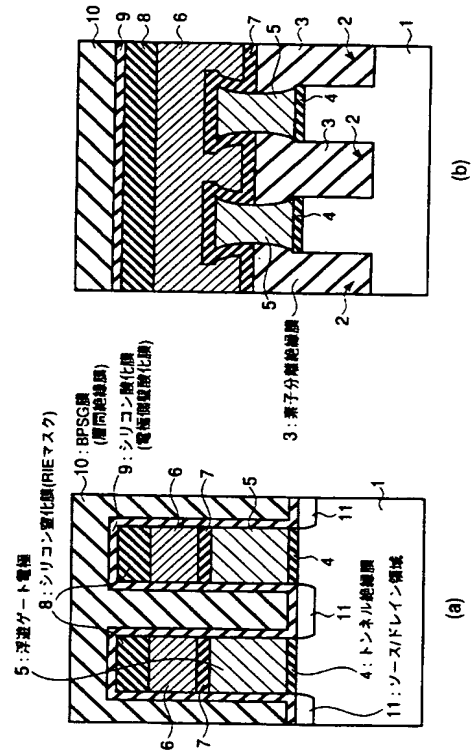
1 … シリコン基板、2 … 素子分離溝、3 … 素子分離絶縁膜、4 … トンネル絶縁膜、5, 5 a, 5 b … 浮遊ゲート電極、6 … 制御ゲート電極、7 … 電極間絶縁膜、7<sub>1</sub> … 第 1 の誘電体領域、7<sub>2</sub> … 第 2 の誘電体領域、8 … シリコン窒化膜 (R I E マスク)、9 … シリコン酸化膜 (電極側壁酸化膜)、10 … B P S G 膜 (層間絶縁膜)、11 … ソース/ドレイン領域、12 … シリコン窒化膜 (C M P ストップ)、13 … シリコン窒化膜 (R I E マスク)、14 a, 14 b … シリコン酸化膜、15 … スリット部、16 … 空洞/誘電体領域、17 … 空洞領域、81 … シリコン基板、82 … 素子分離絶縁膜、83 … トンネル絶縁膜、84 … 浮遊ゲート電極、85 … 電極間絶縁膜、86 … 制御ゲート電極。

40

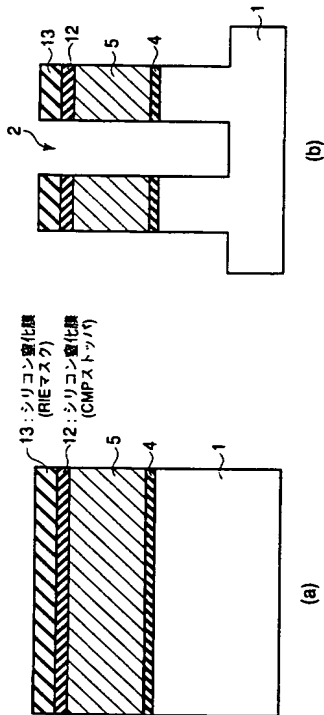
【図 1】



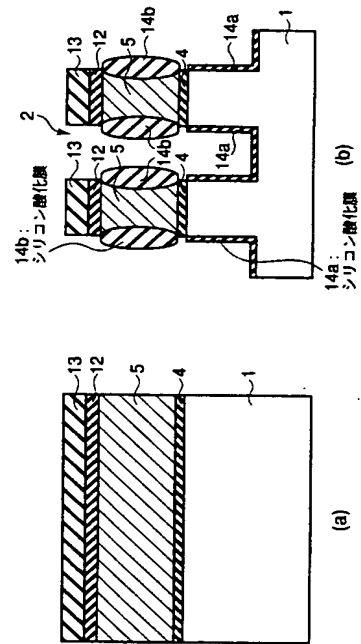
【図 2】



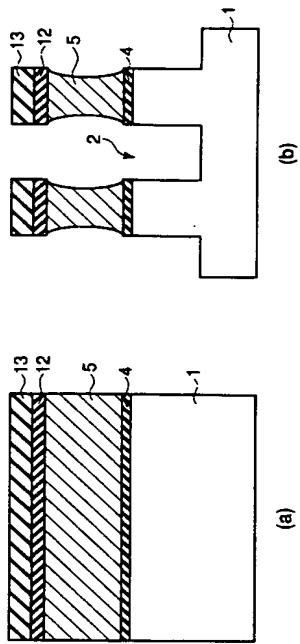
【図 3】



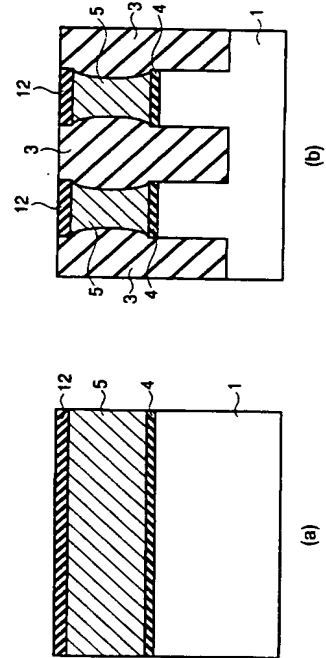
【図 4】



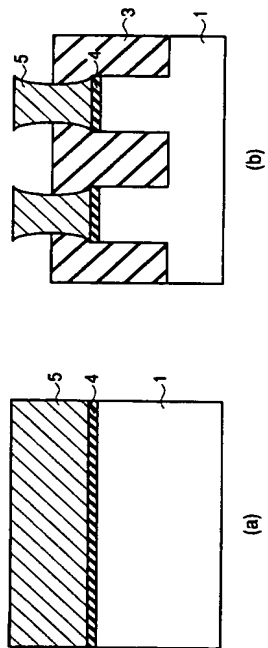
【図 5】



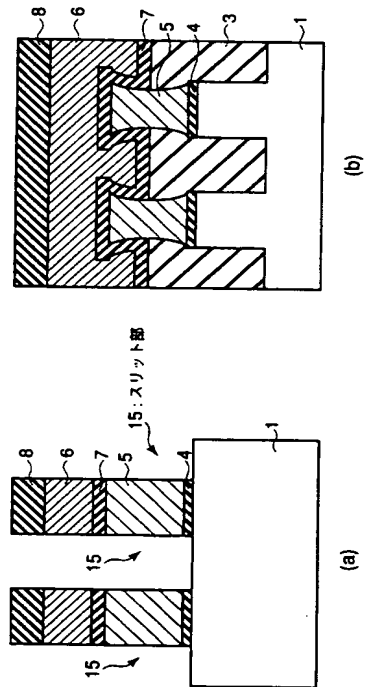
【図 6】



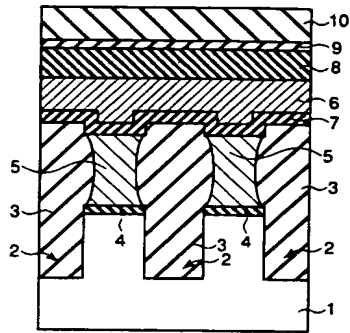
【図 7】



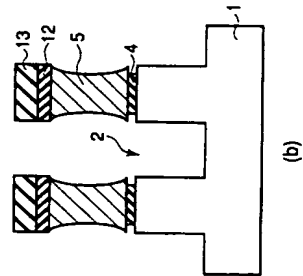
【図 8】



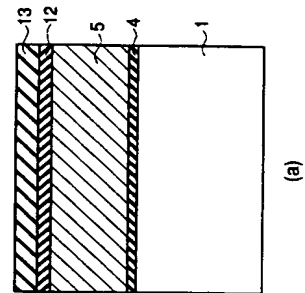
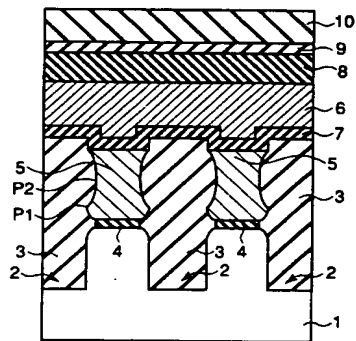
【図 9】



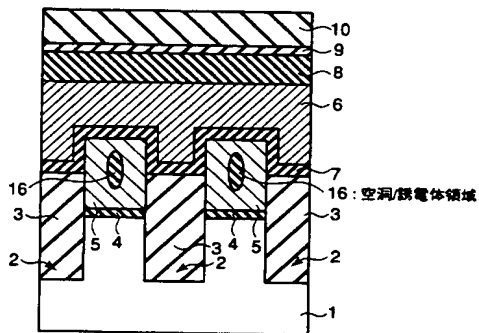
【図 11】



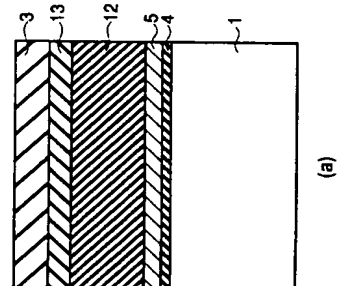
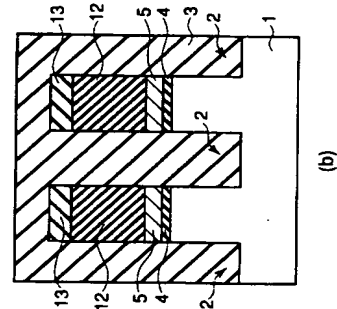
【図 10】



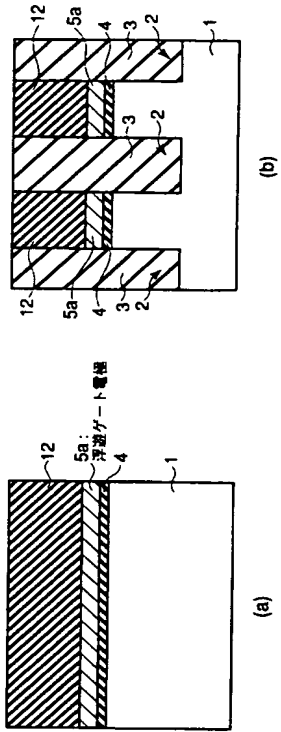
【図 12】



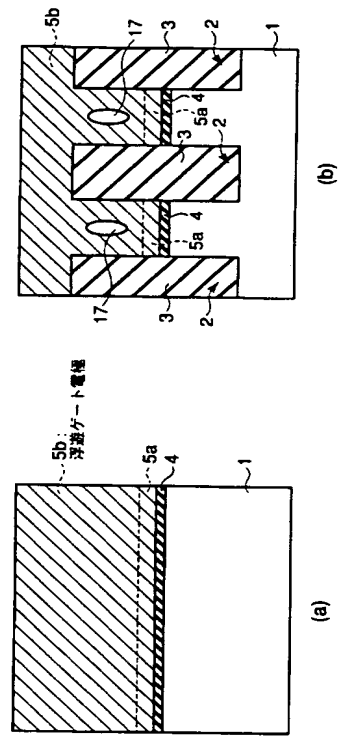
【図 13】



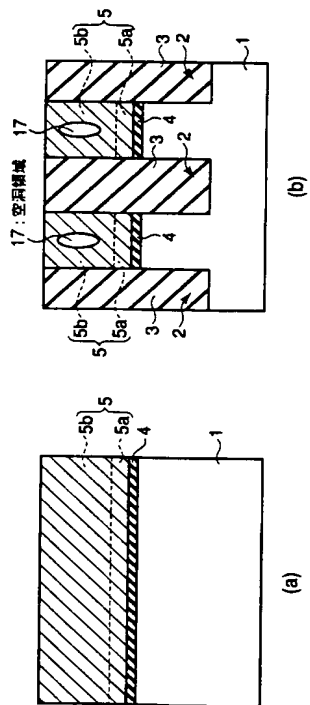
【図 14】



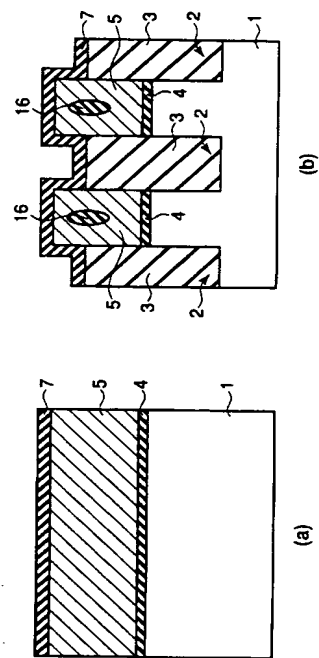
【図 15】



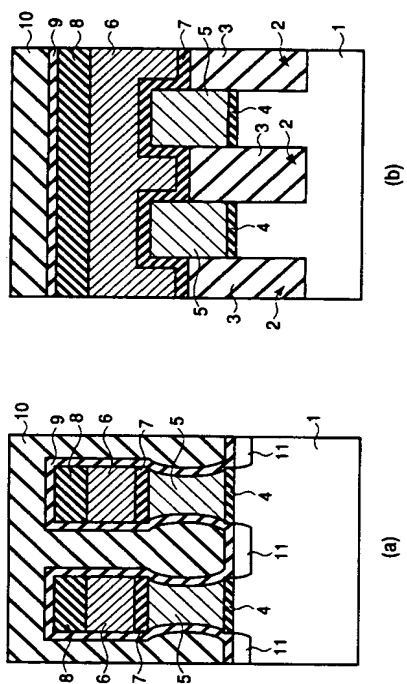
【図 16】



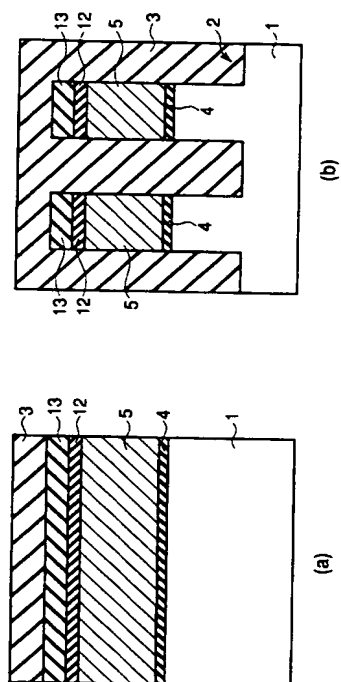
【図 17】



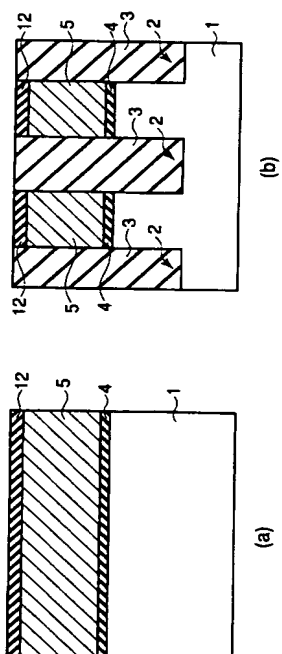
【図 18】



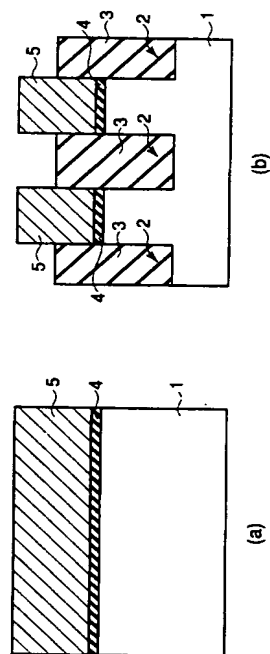
【図 19】



【図 20】

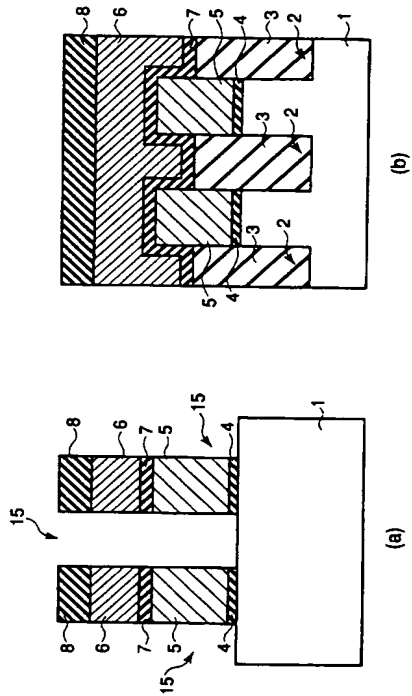


【図 21】

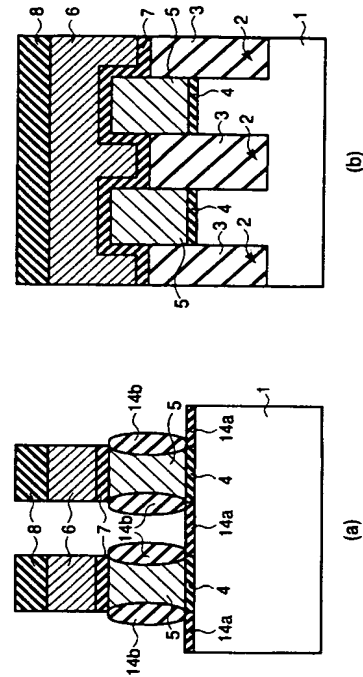




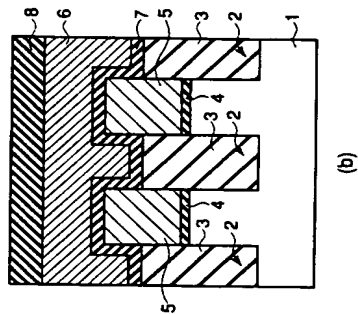
【図 2 2】



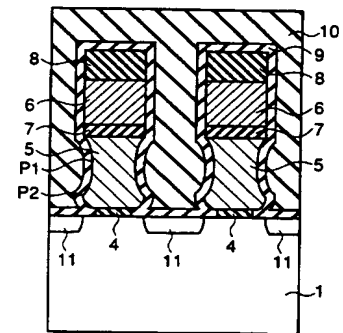
【図 2 3】



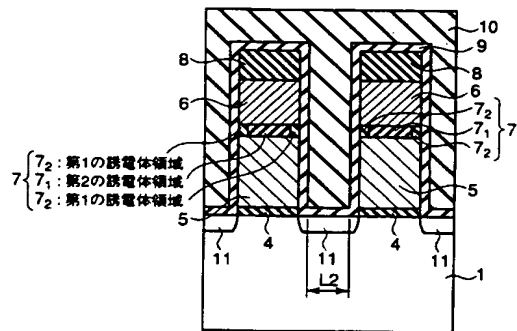
【図 2 4】



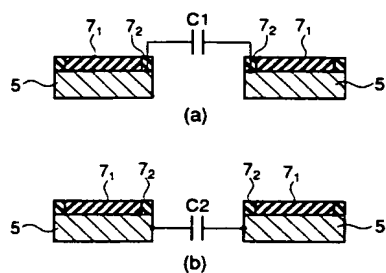
【図 2 5】



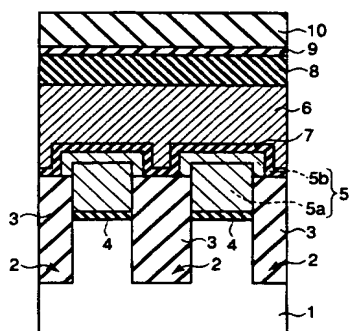
【図 2 6】



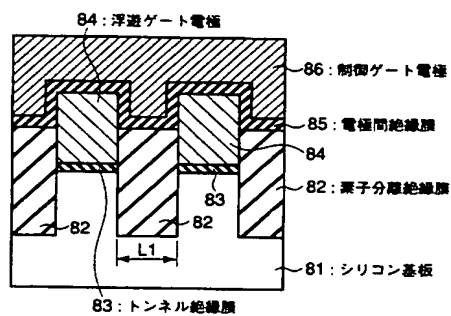
【図 27】



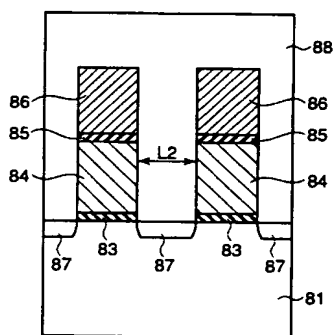
【図 28】



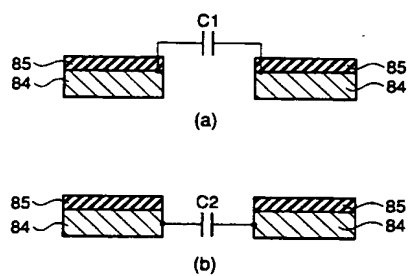
【図 29】



【図 30】



【図 31】



---

フロントページの続き

(72)発明者 小澤 良夫

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

F ターム(参考) 5F083 EP03 EP23 EP55 ER21 GA11 GA22 JA02 JA04 JA06 JA35

JA39 JA53 NA01 PR12 PR14 PR21 PR40

5F101 BA12 BA29 BA36 BD35 BE07 BF08 BH03